

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—137344

⑪ Int. Cl.³
H 04 L 1/00
// H 04 B 1/74
7/00
17/00
H 04 J 3/14

識別記号

庁内整理番号

6651—5K
7015—5K
7251—5K
7230—5K
8226—5K

⑬ 公開 昭和58年(1983)8月15日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ ルート識別信号発生回路

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 特 願 昭57—20367

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭57(1982)2月9日

東京都港区芝5丁目33番1号

⑱ 発 明 者 森本秀明

⑲ 代 理 人 弁理士 井ノ口壽

明 細 書

1. 発明の名称

ルート識別信号発生回路

2. 特許請求の範囲

デジタル符号変換での付加ビットであるルート識別信号を発生させるための選択スイッチと、前記選択スイッチで選択したルート識別信号を2進コードに変換する論理ゲートから構成したルート識別信号発生回路。

3. 発明の詳細な説明

本発明はデジタル符号変換をする際のルート識別に必要なルート識別信号発生回路に関する。

デジタル無線回路において希望波の送信出力が断のとき他ルートからの回り込みがあつても受信側で図様切替情報を出すようにルート識別ビットを挿入している。従来、ルート識別ビットはフレーム同期用ビットを使用しており、このフレーム同期用ビットではルート識別ビッ

トの挿入位置が決められているため容易にルート識別の数を増すのは困難となる欠点があつた。

第1図はこのようなフレーム同期用ビット発生回路の一例を、第2図はその出力値を示す。シフトレジスタ3, 4, 5, 6にクロックパルスが入るとその情報は1ビットづつシフトされる。排他的論理和部2では最終段とその一段前のレジスタ出力情報の2進和がとられ、さらに、その出力とワード検出回路7出力の2進和が排他的論理和部1でとられて初段のレジスタにフィードバックされる。ワード検出回路7はシフトレジスタの周期が9ビット周期なるようにするものである。

ここでシフトレジスタ出力値のうち4のところはフレーム同期用ビットとされている。

第3図はDATA系列が3列の場合のデジタル符号変換フレームフォーマットの一例を示す図である。例えば(1)の場合DATA1系列にフレーム同期用ビットを挿入しDATA3系列にルート識別ビットを割りあてると第2図の周期1。

第1図はフレーム同期ビット発生回路を示すブロック図、第2図は第1図のシフトレジスタ出力情報を示す図、第3図はフレーム変換フォーマットの例を示す図、第4図は本発明によるルート識別信号発生回路の一実施例を示すブロック図、第5図はルート識別の選択位置とその情報の対応を示す図である。

1, 2 … 排他的論理和回路

3, 4, 5, 6 … 1ビットシフトレジスタ

7 … ワード検出回路

8, 9, 10 … 論理ゲート

11 … ルート識別選択回路

12 … プルアップ抵抗

F … フレーム同期ビット

X … ルート識別ビットの挿入位置

特許出願人 日本電気株式会社

代理人 弁理士 井ノ口 壽

図1

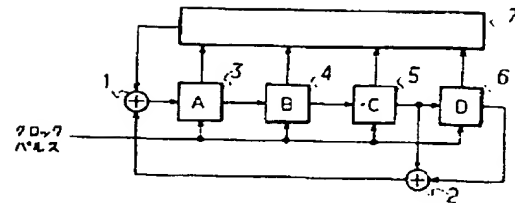


図2

シフトレジスタ 番地	A	B	C	D
1	0	0	0	1
2	1	0	0	0
3	0	1	0	0
4	1	0	1	0
5	1	1	0	1
6	1	1	1	0
7	1	1	1	1
8	0	1	1	1
9	0	0	1	1

図3

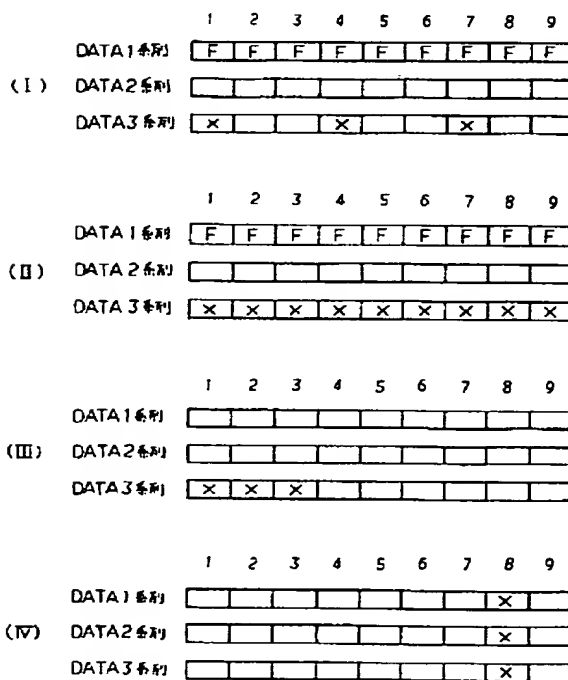


図4

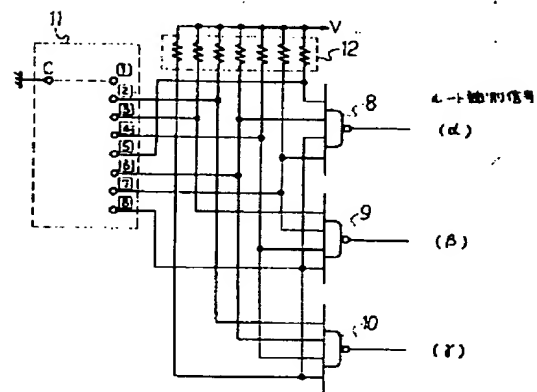


図5

スイッチ 選択位置	ルート識別信号出力 (α)	(β)	(γ)
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0
6	1	0	1
7	1	1	0
8	1	1	1